



(19)

Generated Document

(11) Publication number:

06161944 A

PATENT ABSTRACTS OF JAPAN

(21) Application number: 04316833

(51) Intl. Cl.: G06F 13/28

(22) Application date: 26.11.92

(30) Priority:

(43) Date of application
publication: 10.06.94(84) Designated
contracting states:

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: NAKATSUJI TOSHIYUKI

(74) Representative:

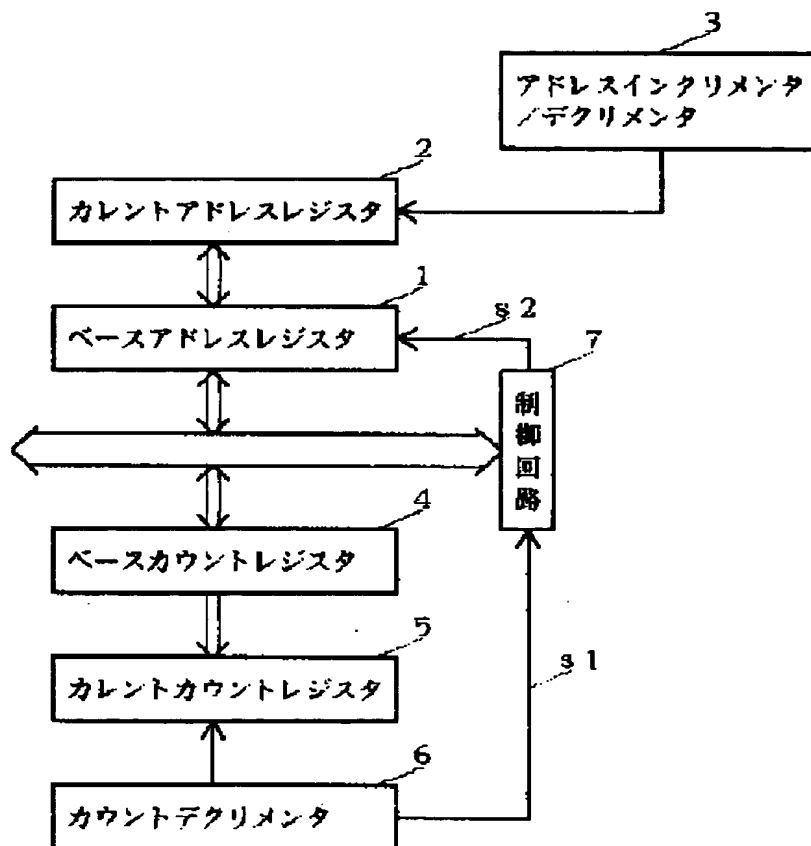
(54) DMA CONTROLLER

(57) Abstract:

PURPOSE: To provide a DMA controller which can continuously transfer plural continuous areas with no intervention of a CPU.

CONSTITUTION: A DMA controller consists of a base address register 1 which shows a transfer start address, a count address register 2 which always shows the next transfer address, a base count register 4 which stores the transfer frequency when the transfer starts, a current count register 5 which shows the remaining transfer frequency, and a control circuit 7 which can write the contents of the register 2 into the register 1 and also can write the contents of the register 4 into the register 5 by production of a terminal count signal s1 showing a fact that the transfer is complete in the designated frequency.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(31)特許出願公開番号

特開平6-161944

(43)公開日 平成6年(1994)6月10日

(51)Int.Cl.⁵

G 0 6 F 13/28

識別記号

3 1 0 H

序内整理番号

9072-5B

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 7 頁)

(21)出願番号 特願平4-316933

(22)出願日 平成4年(1992)11月26日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 仲辻 俊之

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

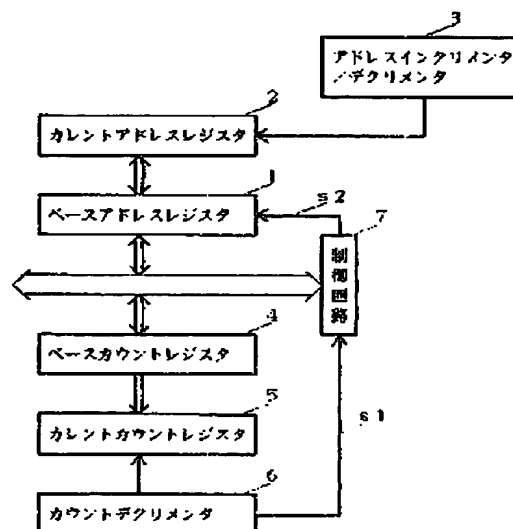
(74)代理人 弁理士 小堀治 明 (外2名)

(54)【発明の名称】 DMA制御装置

(57)【要約】

【目的】 複数個の連続した領域を連続して転送する場合において、CPUの介在なしに連続転送を継続できるDMA制御装置を提供することを目的とする。

【構成】 転送開始アドレスを示すベースアドレスレジスタ1と、次に次の転送アドレスを示しているカレントアドレスレジスタ2と、転送開始時の転送回数を格納するベースカウントレジスタ4と、残りの転送回数を示すカレントカウントレジスタ5と、指定された回数の転送が終了したことを示すターミナルカウント信号s1の発生により、前記カレントアドレスレジスタ2の内容を前記ベースアドレスレジスタ1に書き込むことができたり、前記ベースカウントレジスタ4の内容を前記カレントカウントレジスタ5に書き込むことができる制御回路7とを備える。



【特許請求の範囲】

【請求項1】DMA転送開始アドレスを示すベースアドレスレジスタと、一回の転送毎に更新され、常に次の転送アドレスを示しているカレントアドレスレジスタと、一回の転送毎にサービス中のチャンネルの前記カレントアドレスレジスタの内容を更新するアドレスインクリメント/デクリメントと、DMA転送開始時の転送回数を格納するベースカウントレジスタと、一回の転送毎に1だけデクリメントされ、残りの転送回数を示すカレントカウントレジスタと、一回の転送毎にサービス中のチャンネルの前記カレントカウントレジスタの内容を1だけデクリメントし、指定された回数の転送が終了したことを示すターミナルカウント信号を出力するカウントデクリメントと、前記レジスタ群の読みだし及び書き込み制御を行う制御回路とを備え、前記制御回路は前記ターミナルカウント信号の発生により、前記カレントアドレスレジスタの内容を前記ベースアドレスレジスタに書き込むようにしたことを特徴とするDMA制御装置。

【請求項2】制御回路は、ターミナルカウント信号の発生により、カレントアドレスレジスタの内容をベースアドレスレジスタに書き込むようにすることに代え、前記ターミナルカウント信号の発生により、前記ベースカウントレジスタの内容を前記カレントカウントレジスタに書き込むようにしたことを特徴とする請求項1記載のDMA制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、DMA制御装置に関するものである。

【0002】

【従来の技術】高速プロセッサや大容量メモリ、補助記憶装置の進展に伴って、取り扱うデータの量が膨大なものになり、高速のデータ処理が必要とされ、取り扱うデータの転送も高速化が要求されている。特にメモリ間や補助記憶装置とメモリ間での転送は、データのブロック単位での処理も頻繁に行われることが多い。

【0003】従来、メモリ間での転送およびI/O装置とメモリ間での転送等をホストプロセッサの介在なしに高速に行うものとして、DMA制御装置がある。

【0004】従来のDMA制御装置では、一度に転送できるデータ量が限られており、大きな連続するメモリ領域を連続転送しようとする場合、連続する次の領域の転送開始アドレス等の情報をCPUからDMA制御装置に書き込む必要がある。

【0005】以下従来のDMA転送装置について図を参照しながら連続するメモリ領域を連続転送しようとする場合を説明する。

【0006】図4は従来のDMA転送装置を示すブロック図である。図4に示すように、従来のDMA制御装置は、DMA転送開始アドレスを示すベースアドレスレジ

スタ21と、一回の転送毎に更新され、常に次の転送アドレスを示しているカレントアドレスレジスタ22と、一回の転送毎にサービス中のチャンネルの前記カレントアドレスレジスタ22の内容を更新するアドレスインクリメント/デクリメント23と、DMA転送開始時の転送回数を格納するベースカウントレジスタ24と、一回の転送毎に1だけデクリメントされ、残りの転送回数を示すカレントカウントレジスタ25と、一回の転送毎にサービス中のチャンネルの前記カレントカウントレジスタ25の内容を1だけデクリメントし、指定された回数の転送が終了したことを示すターミナルカウント信号s21を出力するカウントデクリメント26と、前記レジスタ群の読みだし及び書き込み制御を行う制御回路27とを備えた構成となっていた。

【0007】前記構成のもとで、カレントアドレスレジスタ22は一回のデータ転送毎に更新され、常に次の転送アドレスを示している。これに対して、ベースアドレスレジスタ21はCPUによって書き換えられるまで変化はしない。

【0008】DMA転送をはじめめる前に、CPUからベースアドレスレジスタ21に転送開始アドレスa1を、ベースカウントレジスタ24に転送回数c1を書き込み、転送を開始する。

【0009】まず、ベースアドレスレジスタ21の内容がカレントアドレスレジスタ22に、ベースカウントレジスタ24の内容がカレントカウントレジスタ25に書き込まれる。アドレスインクリメント/デクリメント23により、一回のデータ転送毎にカレントアドレスレジスタ22の内容が更新される。また、カレントカウントレジスタ25の内容は、カウントデクリメント26により1だけデクリメントされる。カウントデクリメント26は、指定された回数の転送が終了したら、指定された回数の転送が終了したことを示すターミナルカウント信号s21を出力する。

【0010】領域1の転送が終了すると、次に領域2を転送するためにCPUからベースアドレスレジスタ21に転送開始アドレスa2を書き込み、DMA転送を開始する。そして、ベースアドレスレジスタ21の内容がカレントアドレスレジスタ22に、ベースカウントレジスタ24の内容がカレントカウントレジスタ25に書き込まれ、領域1と同様にデータ転送が行われる。

【0011】領域2の転送が終了すると、次に領域3を転送するためにCPUからベースアドレスレジスタ21に転送開始アドレスa3を書き込み、転送を開始する。

【0012】この後、同様に連続する領域の転送開始アドレスをCPUからベースアドレスレジスタ21に書き込み、指定された領域を転送する。

【0013】

【発明が解決しようとする課題】このような従来のDMA制御装置では、複数の連続したメモリ領域を連続し

て転送しようとする場合、はじめの領域をDMA転送した後、CPUによって次の領域の転送開始アドレス等の情報をDMA制御装置に書き込む必要があり、全体の転送処理時間も余分にかかることになるという問題点を有していた。

【0014】本発明は上記課題を解決するもので、複数個の連続したメモリ領域の連続転送を、簡単な回路でかつ高速に実行するDMA制御装置を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明は上記目的を達成するために、DMA転送開始アドレスを示すベースアドレスレジスタと、一回のデータ転送毎に更新され、常に次の転送アドレスを示しているカレントアドレスレジスタと、一回のデータ転送毎にサービス中のチャンネルの前記カレントアドレスレジスタの内容を更新するアドレスインクリメント/デクリメントと、DMA転送開始時の転送回数を格納するベースカウントレジスタと、一回のデータ転送毎に1だけデクリメントされ、残りの転送回数を示すカレントカウントレジスタと、一回のデータ転送毎にサービス中のチャンネルの前記カレントカウントレジスタの内容を1だけデクリメントし、指定された回数の転送が終了したことを示すターミナルカウント信号を出力するカウントデクリメントと、前記レジスタ群の読みだし及び書き込み制御において、前記ターミナルカウント信号の発生により、前記カレントアドレスレジスタの内容を前記ベースアドレスレジスタに書き込むことができたり、前記ベースカウントレジスタの内容を前記カレントカウントレジスタに書き込むことができるようにした制御回路とを備えている。

【0016】

【作用】本発明は前記した構成により、複数個の連続したメモリ領域の連続転送を、簡単な回路でかつ高速に実行することができる。初めの領域を転送終了した時点で、ターミナルカウント信号の発生により、次の転送領域の開始アドレスを示すカレントアドレスレジスタの内容をベースアドレスレジスタに書き込む。そして、次の領域の転送をCPUの介在なしに継続して行う。また、別の方法として、ベースアドレスレジスタの内容を変えずに、ターミナルカウント信号の発生により、ベースカ

【0017】

【実施例】

【実施例1】本発明の第1の実施例のDMA転送装置について、以下に図面を用いて説明する。

【0018】図1は本発明の第1の実施例のDMA転送装置を示したブロック図である。図2はそのフローチャート図である。図1に示すように、本発明の第1の実

例のDMA転送装置は、DMA転送開始アドレスを示すベースアドレスレジスタ1と、一回の転送毎に更新され、常に次の転送アドレスを示しているカレントアドレスレジスタ2と、一回の転送毎にサービス中のチャンネルの前記カレントアドレスレジスタ2の内容を更新するアドレスインクリメント/デクリメント3と、DMA転送開始時の転送回数を格納するベースカウントレジスタ4と、一回の転送毎に1だけデクリメントされ、残りの転送回数を示すカレントカウントレジスタ5と、一回の転送毎にサービス中のチャンネルの前記カレントカウントレジスタ5の内容を1だけデクリメントし、指定された回数の転送が終了したことを示すターミナルカウント信号s1を出力するカウントデクリメント6と、前記レジスタ群の読みだし及び書き込み制御を行う制御回路7とを備えている。制御回路7は、従来例における制御回路2'とは異なり、ターミナルカウント信号s1の発生によりアドレス書き込み信号s2を出力し、カレントアドレスレジスタ2の内容をベースアドレスレジスタ1に書き込むことができる特徴を持っている。

【0019】以上のように構成された本発明の第1の実施例のDMA転送装置について、連続するメモリ領域を連続転送しようとする場合の動作を説明する。

【0020】同じサイズの連続する領域1、領域2、領域3のデータを連続転送することを考える。

【0021】DMA転送をはじめる前に、CPUからベースアドレスレジスタ1に転送開始アドレスa1を、ベースカウントレジスタ4に転送回数c1を書き込み、転送を開始する。

【0022】まず、ベースアドレスレジスタ1の内容がカレントアドレスレジスタ2に、ベースカウントレジスタ4の内容がカレントカウントレジスタ5に書き込まれる。アドレスインクリメント/デクリメント3により、一回のデータ転送毎にカレントアドレスレジスタ2の内容が更新される。また、カレントカウントレジスタ5の内容は、カウントデクリメント6により1だけデクリメントされる。カウントデクリメント6は、指定された回数の転送が終了したら、ターミナルカウント信号s1を出力する。

【0023】この様に領域1の転送が終了すると、制御回路7はターミナルカウント信号s1を受信し、アドレス書き込み信号s2を出力する。このアドレス書き込み信号s2により、次の領域2の転送開始アドレスa2を示しているカレントアドレスレジスタ2の内容をベースアドレスレジスタ1に書き込み、DMA転送を継続する。

【0024】同様に領域2の転送が終了すると、制御回路7は次の領域3の転送開始アドレスa3を示しているカレントアドレスレジスタ2の内容をベースアドレスレジスタ1に書き込み、DMA転送を継続する。

【0025】その後、同様にターミナルカウント信号s

1の発生によりカレントアドレスレジスタ2の内容をベースアドレスレジスタ1に書き込み、指定された領域を転送する。

【0026】なお、本実施例においては転送元をメモリとしたが、I/O装置からメモリへの転送やメモリ内の異なる領域間の転送についても同じことができる。

【0027】しかもホストプロセッサの介在なしに、大きな領域のデータを連続転送することができ、CPUによる余分な操作や初期設定時間を費やすことなく、高速データ転送が可能である。

【0028】(実施例2)以下本発明の第2の実施例のDMA転送装置について図面を参照しながら説明する。

【0029】図3は本発明の第2の実施例のDMA転送装置を示したブロック図である。図3に示すように、本発明の第2の実施例のDMA転送装置は、DMA転送開始アドレスを示すベースアドレスレジスタ11と、一回の転送毎に更新され、常に次回の転送アドレスを示しているカレントアドレスレジスタ12と、一回の転送毎にサービス中のチャネルの前記カレントアドレスレジスタ12の内容を更新するアドレスインクリメント/デクリメント13と、DMA転送開始時の転送回数を格納するベースカウントレジスタ14と、一回の転送毎に1だけデクリメントされ、残りの転送回数を示すカレントカウントレジスタ15と、一回の転送毎にサービス中のチャネルの前記カレントカウントレジスタ15の内容を1だけデクリメントし、指定された回数転送が終了したことを示すターミナルカウント信号s11を出力するカウントデクリメント16と、前記レジスタ群の読みだし及び書き込み制御を行う制御回路17とを備えている。制御回路17は、従来例の制御回路27および本発明の第1の実施例の制御回路7とは異なり、ターミナルカウント信号s11の発生によりカウント書き込み信号s13を出力し、ベースカウントレジスタ14の内容をカレントカウントレジスタ15に書き込むことができる特徴を持っている。

【0030】次に、連続するメモリ領域を連続転送しようとする場合の動作を説明する。同じサイズの連続する領域1、領域2、領域3のデータを連続転送することを考える。

【0031】領域1を転送するのは、前記の実施例1と同じである。領域1の転送が終了すると、制御回路17

はターミナルカウント信号s11を受信し、カウント書き込み信号s13を出力する。このカウント書き込み信号s13により、ベースカウントレジスタ14の内容をカレントカウントレジスタ15に書き込み、次の領域2の転送開始アドレスa2を示しているカレントアドレスレジスタ12の内容をもとに、DMA転送を継続し、領域2の転送を行う。

【0032】この後、同様に領域2の転送が終了すると、制御回路17はベースカウントレジスタ14の内容をカレントカウントレジスタ15に書き込み、次の領域3の転送開始アドレスa3を示しているカレントアドレスレジスタ12の内容をもとに領域2の転送と同じように領域3のDMA転送を行う。

【0033】この場合、実施例1とは異なり、ベースアドレスレジスタ11の内容を書き換える必要はない。

【0034】

【発明の効果】以上説明したように、本発明によれば、従来のDMA制御装置では、CPUを介した余分な操作を必要としていた大きな領域の連続転送に対し、単純な制御回路の付加で高速のデータ転送が可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施例のDMA制御装置のブロック図

【図2】本発明の第1の実施例のDMA制御装置のフローチャート

【図3】本発明の第2の実施例のDMA制御装置のブロック図

【図4】従来のDMA制御装置の構成図

【図5】従来のDMA制御装置のフローチャート

【符号の説明】

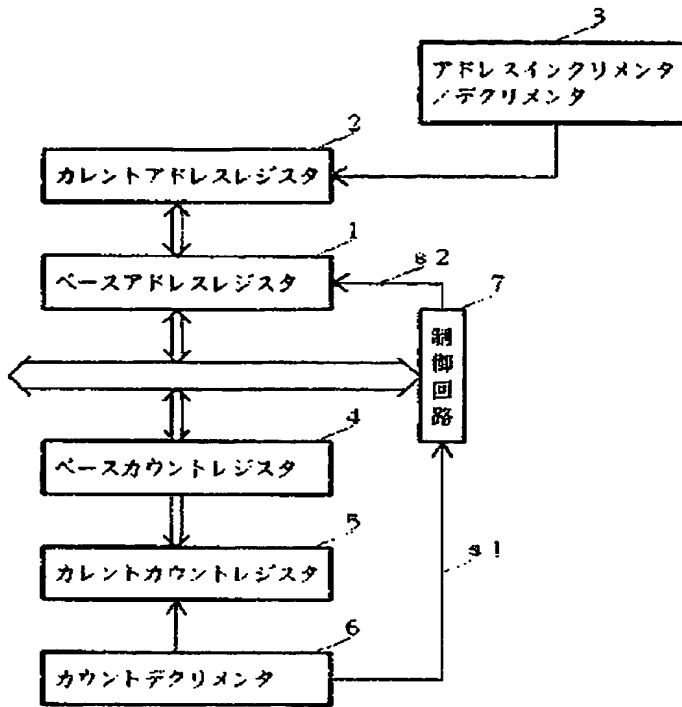
1. 11 ベースアドレスレジスタ
2. 12 カレントアドレスレジスタ
3. 13 アドレスインクリメント/デクリメント
4. 14 ベースカウントレジスタ
5. 15 カレントカウントレジスタ
6. 16 カウントデクリメント
7. 17 制御回路

s1. s11 ターミナルカウント信号

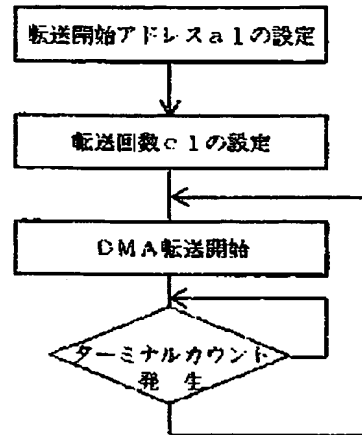
s2. s12 アドレス書き込み信号

s3. s13 カウント書き込み信号

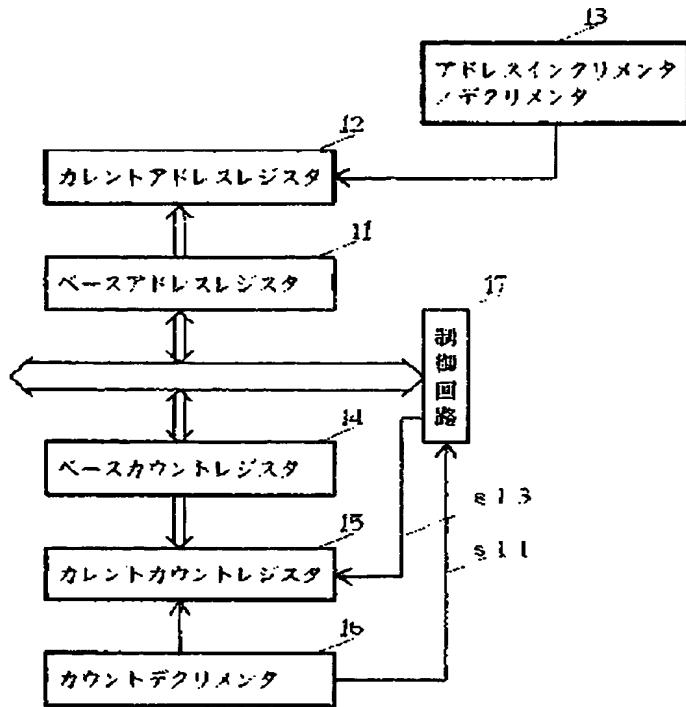
【図1】



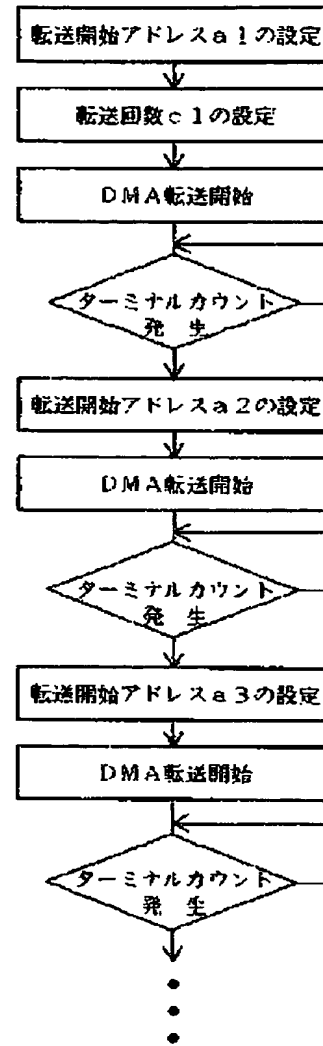
【図2】



【図3】



【図5】



【図4】

